

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

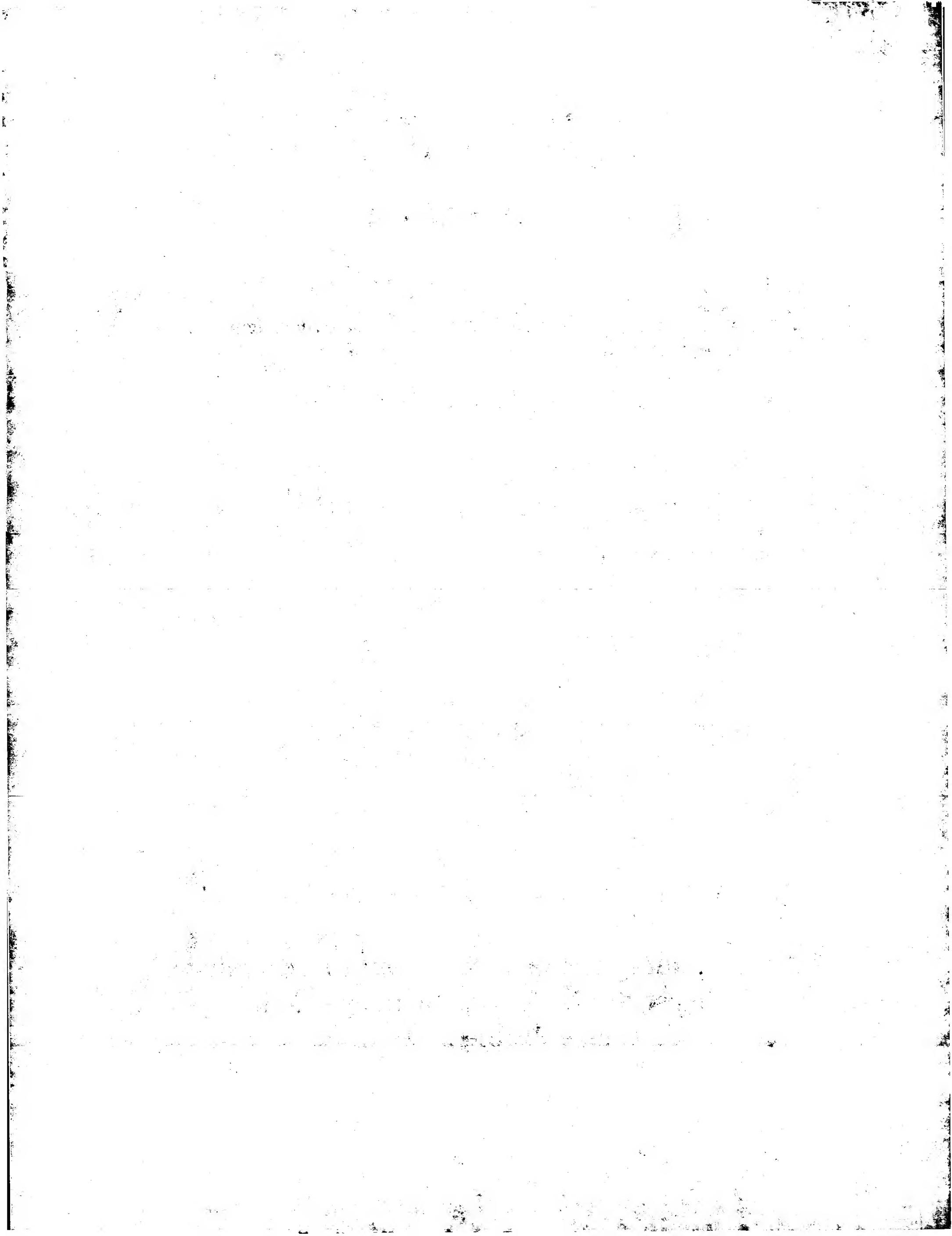
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-279538 *For JP# 2630983*  
 (43)Date of publication of application : 09.11.1989

(51)Int.CI.

H01J 1/30  
H01J 37/06

(21)Application number : 63-107565

(71)Applicant : CANON INC

(22)Date of filing : 02.05.1988

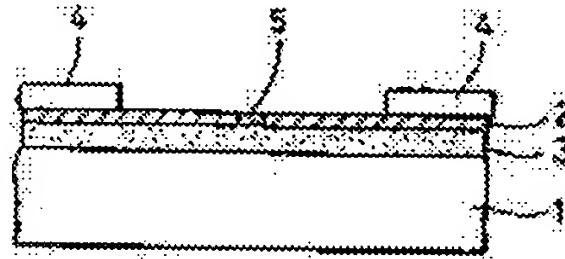
(72)Inventor : KANEKO TETSUYA  
SAKANO YOSHIKAZU  
NOMURA ICHIRO  
TAKEDA TOSHIHIKO

## (54) ELECTRON EMITTING ELEMENT

### (57)Abstract:

PURPOSE: To prevent a base board from cracking and a film from exfoliation by furnishing an intermediate layer between the base board and film, and eliminating generation of strain due to internal stress of the base board at the time of heating by current supply and at driving for electron emission.

CONSTITUTION: Local heat emission generated at a high resistance part 5 when current is supplied for heating and electrons are emitted, is conducted to an intermediate part 3 and dispersed there quickly. This intermediate part 3 is made of a film material containing chiefly SiO<sub>2</sub> or SiO<sub>2</sub> having a low coefficient of expansion and high thermal conductivity. The heat generated is conducted in a wide interface between the base board 1 and intermediate layer 3 and dispersed in the base board 1. This suppresses local heating in the base board 1, and strain therein does not become large. Because the heat emitting part of film 2 is in contact with the intermediate layer 3, the internal stress generated is also small. This accomplishes a surface conductive electron emitting element, in which no crack will be initiated in the base board nor the film 2 be exfoliated.





FOR JP# 2630983

DIALOG(R) File 351:Derwent WPI  
(c) 2004 Thomson Derwent. All rts. reserv.

008108763 \*\*Image available\*\*

WPI Acc No: 1989-373874/ 198951

Surface conductive electron emitting element - provides intermediate layer made of high-heat conductive material between substrate and thin film  
NoAbstract Dwg 3/5

Patent Assignee: CANON KK (CANO )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 1279538	A	19891109	JP 88107565	A	19880502	198951 B

Priority Applications (No Type Date): JP 88107565 A 19880502

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 1279538	A	5		

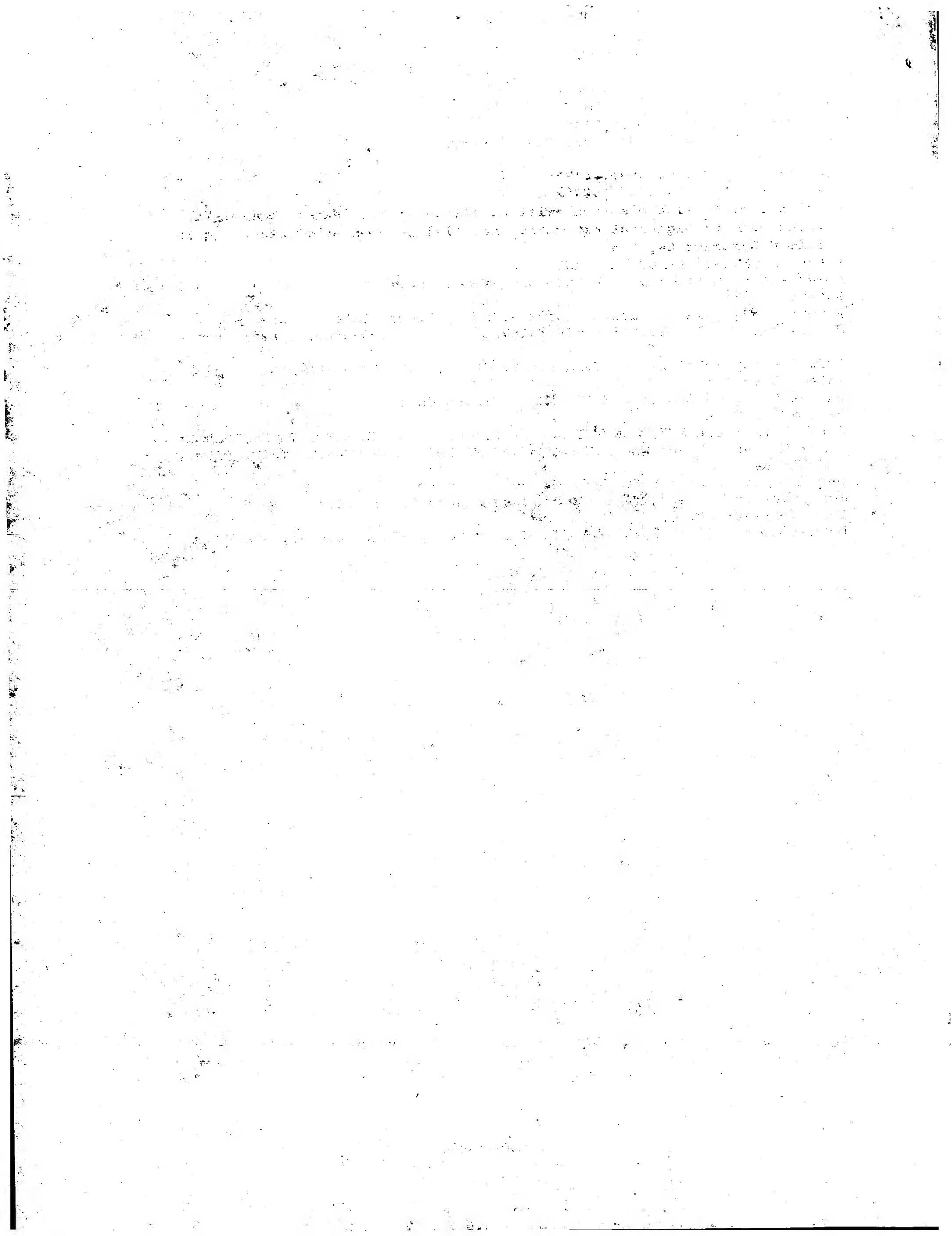
Title Terms: SURFACE; CONDUCTING; ELECTRON; EMIT; ELEMENT; INTERMEDIATE; LAYER; MADE; HIGH; HEAT; CONDUCTING; MATERIAL; SUBSTRATE; THIN; FILM; NOABSTRACT

Derwent Class: U11; U12; V05

International Patent Class (Additional): H01J-001/30; H01J-037/06

File Segment: EPI

Manual Codes (EPI/S-X): U11-C18B; U12-B03X; V05-F03; V05-L01; V05-M03



DIALOG(R) File 345:Inpadoc/Fam.& Legal Stat  
(c) 2004 EPO. All rts. reserv.

8979387

Basic Patent (No,Kind,Date): JP 1279538 A2 19891109 <No. of Patents: 002>  
Patent Family:

*see this one*

Patent No	Kind	Date	Appli c No	Kind	Date
JP 1279538	A2	19891109	JP 88107565	A	19880502 (BASIC)
JP 2630983	B2	19970716	JP 88107565	A	19880502

Priority Data (No,Kind,Date):

JP 88107565 A 19880502

PATENT FAMILY:

JAPAN (JP)

Patent (No,Kind,Date): JP 1279538 A2 19891109

ELECTRON EMITTING ELEMENT (English)

Patent Assignee: CANON KK

Author (Inventor): KANEKO TETSUYA; SAKANO YOSHIKAZU; NOMURA ICHIRO;  
TAKEDA TOSHIHIKO

Priority (No,Kind,Date): JP 88107565 A 19880502

Appli c (No,Kind,Date): JP 88107565 A 19880502

IPC: \* H01J-001/30; H01J-037/06

Derwent WPI Acc No: ; G 89-373874

JAPIO Reference No: ; 140055E000050

Language of Document: Japanese

Patent (No,Kind,Date): JP 2630983 B2 19970716

DENSHIHOSHUTSUSOSHI (English)

Priority (No,Kind,Date): JP 88107565 A 19880502

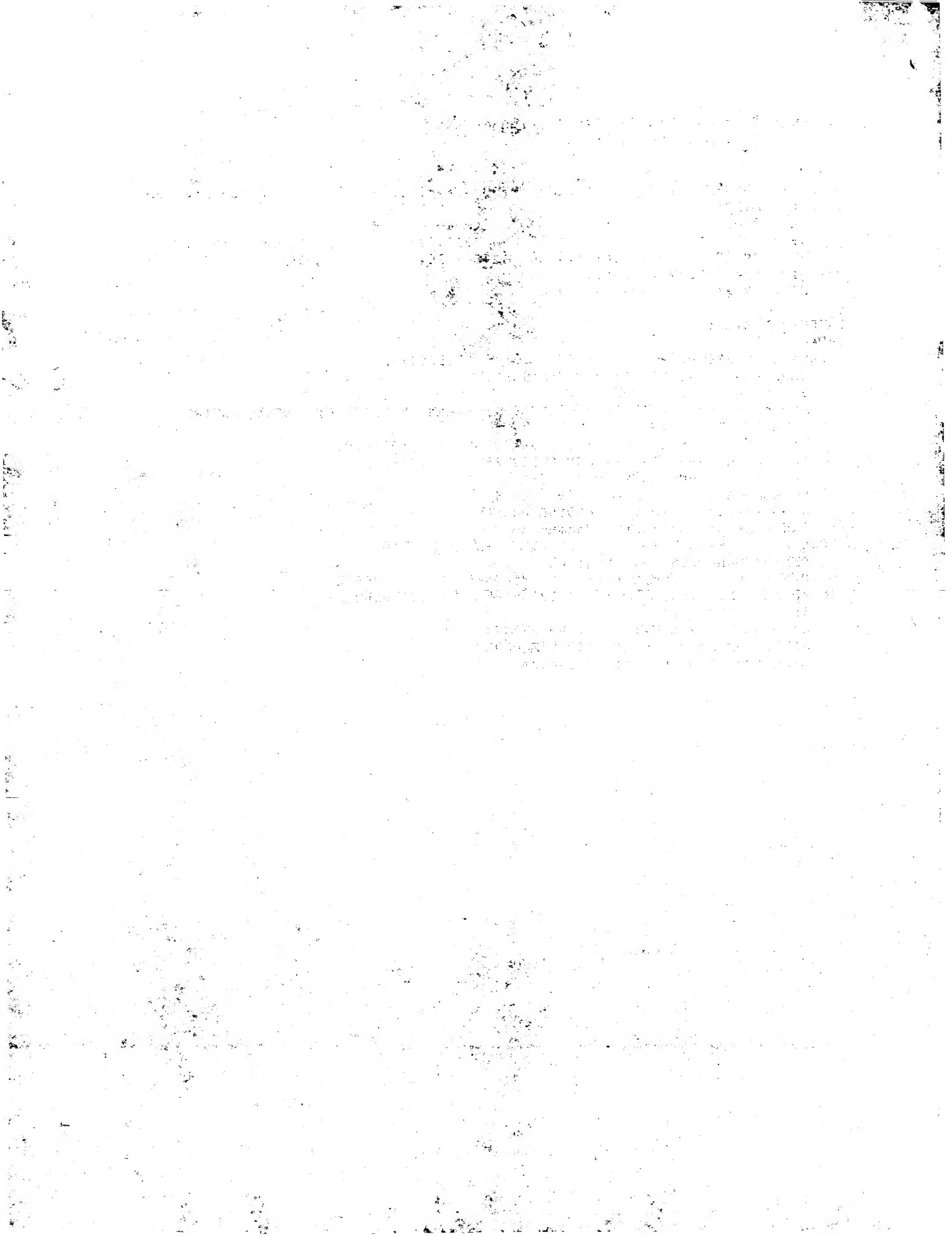
Appli c (No,Kind,Date): JP 88107565 A 19880502

IPC: \* H01J-001/30

Derwent WPI Acc No: \* G 89-373874

JAPIO Reference No: \* 140055E000050

Language of Document: Japanese



(19)日本国特許庁 (JP)

(12) 特許公報 (B2)

(11)特許番号

第2630983号

(45)発行日 平成9年(1997)7月16日

(24)登録日 平成9年(1997)4月25日

(51)Int.CL<sup>6</sup>  
H 01 J 1/30

識別記号 庁内整理番号

F I  
H 01 J 1/30

技術表示箇所

B

請求項の数7(全5頁)

(21)出願番号 特願昭63-107585  
(22)出願日 昭和63年(1988)5月2日  
(65)公開番号 特開平1-279538  
(43)公開日 平成1年(1989)11月9日

(73)特許権者 99999999  
キヤノン株式会社  
東京都大田区下丸子3丁目30番2号  
(72)発明者 金子 哲也  
東京都大田区下丸子3丁目30番2号 キ  
ヤノン株式会社内  
(72)発明者 坂野 嘉和  
東京都大田区下丸子3丁目30番2号 キ  
ヤノン株式会社内  
(72)発明者 野村 一郎  
東京都大田区下丸子3丁目30番2号 キ  
ヤノン株式会社内  
(74)代理人 弁理士 豊田 善雄  
審査官 田村 翟

最終頁に続く

(54)【発明の名稱】 電子放出素子

1

(57)【特許請求の範囲】

【請求項1】基板上に少なくとも薄膜と電極が設けられ、該薄膜に高抵抗部の形成された電子放出素子において、基板と薄膜との間に、前記基板材料よりも低熱膨張率で高熱伝導率の材料からなる中間層を設けたことを特徴とする電子放出素子。

【請求項2】前記中間層が、熱膨張率が $5 \times 10^{-7} \sim 10 \times 10^{-7}$ /°Cの範囲内で、かつ、熱伝導率が0.003cal/cm·s·deg以上のものであることを特徴とする請求項1項に記載の電子放出素子。

【請求項3】前記中間層が、前記高抵抗部で発生する熱を拡散させる層であることを特徴とする請求項1項に記載の電子放出素子。

【請求項4】前記中間層が、前記基板中の不純物が前記薄膜へ混入するのを防止する層であることを特徴とする

2

請求項1項に記載の電子放出素子。

【請求項5】前記中間層がSiO<sub>2</sub>又はSi<sub>3</sub>N<sub>4</sub>を主成分とする膜からなることを特徴とする請求項1乃至4項のいずれかに記載の電子放出素子。

【請求項6】前記中間層が、SiO<sub>2</sub>を主成分としたSiO<sub>2</sub>とAl<sub>2</sub>O<sub>3</sub>、ZrO<sub>2</sub>、TiO<sub>2</sub>又はMgOとの混合材であることを特徴とする請求項1乃至4項のいずれかに記載の電子放出素子。

【請求項7】前記中間層が、SiO<sub>2</sub>、Si<sub>3</sub>N<sub>4</sub>を主成分としたSiO<sub>2</sub>とAl<sub>2</sub>O<sub>3</sub>、ZrO<sub>2</sub>、TiO<sub>2</sub>又はMgOとの混合材から選ばれた多層構造であることを特徴とする請求項1乃至4項のいずれかに記載の電子放出素子。

【発明の詳細な説明】

【産業上の利用分野】

本発明は電子放出素子、特に電子放出素子の構造に関

するものである。

【従来の技術】

従来、簡単な構造で電子の放出が得られる素子として、例えば、エム・アイ・エリンソン(M.I.Elinson)等によって発表された冷陰極素子が知られている。[ラジオ・エンジニアリング・エレクトロン・フィジックス(Radio Eng.Electron.Phys.)第10巻,1290~1296頁,1965年]

これは、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより、電子放出が生ずる現象を利用するもので、一般には表面伝導形放出素子と呼ばれている。

この表面伝導形放出素子としては、前記エリンソン等により開発されたSnO<sub>x</sub>(Sb)薄膜を用いたもの、Au薄膜によるもの[ジー・ディットマー“スイン・ソリド・フィルムス”(G.Dittmer: “Thin Solid Films”), 9巻, 317頁, (1972年)]、ITO薄膜によるもの[エム・ハート・ウェル・アンド・シー・ジー・フォンスタッド“アイ・イー・イー・トランス”イー・ディー・コンファレンス(M.Hartwell and C.G.Fonstad: “IEEE Trans.ED Conf.”) 519頁, (1975年)]、カーボン薄膜によるもの[荒木久他: “真空”, 第26巻, 第1号, 22頁, (1983年)]などが報告されている。

これらの表面伝導形放出素子の典型的な素子構成を第4図の断面図及び第5図の斜視図に示す。4は電気的接続を得る為の電極、2は電子放出材料で形成される薄膜、1は基板である。

従来、これらの表面伝導形放出素子に於ては、電子放出を行なう前にあらかじめフォーミングと呼ばれる通電処理によって電子放出部を形成する。即ち、前記2つの電極4の間に電圧を印加する事により、薄膜2を局所的に破壊、変形もしくは変質せしめ、電気的に高抵抗部5を得るものである。

【発明が解決しようとしている課題】

しかしながら、上記従来例では基板と薄膜が直接界面を形成して接触しており、フォーミング処理の通電や電子放出駆動の際、基板上の小面積の薄膜部へ局所的な発熱が生じ、基板内応力による歪が大きく発生し、次のような欠点があった。

(1) 通電の際、基板が割れ、薄膜が切断されるため、電子放出素子として機能しなくなる。

(2) 通電の際、基板から薄膜が剥離することがあり、電子放出素子として安定性、再現性、寿命が著しく低下する。

(3) 電子放出時ににおける薄膜を流れる電流によっても薄膜の高抵抗部が局所的に発熱し基板が割れ、薄膜が切断されることもある。

(4) (1), (2), (3)の問題点のため、加熱温度の上限や基板材料、薄膜材料の選択の組み合わせに制

限があった。

以上の様な欠点を解決するために従来は、基板内応力の発生を小さくするべく、熱膨張係数が小さく、かつ比較的熱伝導率が高く、さらに、基板材としての取扱いが良好な、絶縁性基板として、唯一石英基板を用いていた。

即ち、小面積の薄膜部や薄膜の高抵抗部での局所的な発熱を均一に短時間で基板内へ拡散させ、かつ大きな熱勾配が発生しても基板の熱膨張係数が小さいために発生する応力が小さく基板内の歪を極力おさえて、基板割れや薄膜の剥離を防止していた。このため、SnO<sub>x</sub>(Pb)薄膜の様な高融点材料でも通電処理によるフォーミングを可能としていた。

しかし、一般に石英基板は、通常のガラス材等の基板に比べ非常に高価であり、また30cm<sup>2</sup>以上の大さきで表面、面精度の良好な基板を安定して得ることは難しい材料である。

従って、大面積で安価な基板を用いて、表面伝導形電子放出素子を作製するには、基板材料の限定から前述の欠点(1), (2), (3)から生ずる欠点(4)、即ち加熱温度の上限や基板材料、薄膜材料の組み合わせに制限があり、所望の特性の表面伝導形電子放出素子を得ることができなかった。

【課題を解決するための手段】

本発明は、基板上に少なくとも薄膜と電極が設けられ、該薄膜に高抵抗部の形成された電子放出素子において、基板と薄膜との間に、前記基板材料よりも低熱膨張率で高熱伝導率の材料からなる中間層を設けたことを特徴とする電子放出素子である。

以下、本発明を第1図～第3図に基づいて詳細に説明する。

第1図は本発明の一例を示す素子断面図である。1は基板、2は中間層3上に形成された薄膜、4は薄膜に電圧を印加する電極、5は通電によってフォーミング処理された高抵抗部である。本素子を真空中で電極4より電圧印加すると高抵抗部5付近より電子が放出される。

通電及び電子放出時における高抵抗部5で発生する局所的な発熱は、低熱膨張率で高熱伝導率の材料から成る中間層3へ伝導し、中間層3内で素早く拡散し、中間層3と基板1の広い範囲の界面で伝導し、基板1内に拡散されていく。従って、基板1自体が比較的熱伝導率が低く、また熱膨張係数が大きい材料でも、基板の局所的な加熱を抑え、基板内の歪が大きくならない。さらに薄膜の発熱部は、中間層と接しているために発生する内部応力も小さい。このため、基板割れや、薄膜の剥離が発生しない電子放出素子が得られる。

第2図は本発明の一例を示す素子の斜視図であり、第3図は本発明の一例を示す素子の製造工程図である。製造方法としては、まず、ガラス基板等から成る基板1上に低熱膨張率で高熱伝導材料から成る中間層3を堆積す

る。堆積方法は、中間層材料により異なるが、液体コーティング法や、真空堆積法、印刷法等の膜形成法によって堆積できる。中でも、セラミックコーティング剤を基板上に、塗布、焼成することによって得る液体コーティング法が、大面積化の可能性範囲、安価である点、大量処理の可能性、供給安定性や熱可塑性の大きな材料を制御して形成できる点等から最も優れている（第3図①参照）。

次に中間層3上に、薄膜2を堆積形成する。薄膜材料により異なるが、堆積法としては、真空堆積法、印刷法、液体コーティング法等による。形成法としてはフォトリソエッティング法、マスク蒸着法、印刷法等が用いられる。本工程で第2図の素子外観図で示す薄膜2の形状に形成する（第3図②参照）。

さらに、素子基板上に電極4をマスク蒸着法による真空堆積等によって、第2図の電極4の形状に堆積形成する（第3図③参照）。

なお、図中、Iは0.01～20mm、Wは0.1～20mmの範囲で十分な電子放出を得ることができる。その後、本素子を真空中に置き、電極4に電圧を印加して薄膜2の一部を通電によるフォーミング処理をほどこして高抵抗部5を形成する（第3図④及び第2図参照）。

以上の製造方法によって本発明の電子放出素子を得ることができる。

本発明において基板材は、電子放出素子及び中間層を支持できるものであれば良く、一般的で安価なガラス基板、例えば青板ガラス、白板ガラス、硼ケイ酸ガラス等の基板材が用いられる。これらの材料は、比較的熱伝導率が低く、かつ熱膨張係数が大きくて、一般的なガラス材であれば、中間層を設けることにより従来例の様な問題は発生しない。

中間層には、基板材料との比較において低熱膨張率で高熱伝導率のものを用いる。通常は熱膨張率 $5 \times 10^{-7}$ ～ $10 \times 10^{-7}/^{\circ}\text{C}$ 、熱伝導率0.003cal/cm·s·deg以上程度のものがよい。

具体的な材料としては、その形成方法や材料の供給安定性、取扱い、電気的絶縁性能、表面伝導形電子放出素子に対する基板材中に含まれるナトリウムの様な不純物の混入防止、安価である点等から、 $\text{SiO}_2$ 系膜が最も適しており、 $\text{SiO}_2$ を主成分とした $\text{Al}_2\text{O}_3$ 、 $\text{ZrO}_2$ 、 $\text{TiO}_2$ 、 $\text{MgO}$ 等との混合材でもよい。また中間層の構成として $\text{SiO}_2$ 単一材料や混合材の単層構造の他に多層構造で中間層を構成しても使用可能である。

中間層の厚みとしては電子放出材薄膜の材料にもよるが、通常500Å程度以上が好ましい。高融点材料の一つである $\text{SnO}_2$ (Pb)材を薄膜とした場合でも中間層の厚みが1000Å程度あれば、充分な効果を得ることができる。

薄膜の材料としては、 $\text{SnO}_2$ 、 $\text{InO}_2$ 、 $\text{PbO}$ 等の金属酸化物、 $\text{Au}$ 、 $\text{Ag}$ 、 $\text{Pt}$ 等の金属、カーボン、その他各種半導体等、高融点材料を含め、表面伝導形電子放出素子に用い

られているものであればよい。また薄膜の厚みは500Å～1μm程度が良い。

電極の材料としては、 $\text{Ni}$ 、 $\text{Pt}$ 、 $\text{Al}$ 、 $\text{Cu}$ 、 $\text{Au}$ 、 $\text{Ta}$ など通常の金属やその他の導電性部材等、表面伝導形電子放出素子に用いられているものであれば、使用することができる。電極の厚みは、500Å以上が好ましい。

#### [実施例]

前述の第3図に示す工程図に基づいて、以下のように電子放出素子を作製した。

- 10 ① 洗浄された青板ガラスからなる基板上に、液体コーティング材（東京応化工業（株）社製OD）を塗布し、基板を焼成することによって、膜厚1000Å程度の $\text{SiO}_2$ からなる中間層を設けた。
- ② 次に、①で得た中間層上にフォトレジストを形成し、更にセラミックコーティング剤を用いた塗布焼成による液体コーティング法で膜厚1000Å程度の $\text{SnO}_2$ (Pb)からなる導電膜を成膜した後、フォトレジストを剥離し $\text{SnO}_2$ (Pb)をリフトオフ法によって形成して薄膜を得た。

この時、薄膜は第2図に示すような形状とし、第2図中で $w = 0.1\text{mm}$ とした。

- 20 ③ 次いで、上記バターニングされた薄膜の上に、真空堆積法により膜厚1000Å程度のニッケルからなる電極を設けた。

この時、マスク真空堆積法により電極を第2図に示したような形状にバターニングし、第2図中で $I = 0.3\text{mm}$ とした。

- ④ 最後に、 $10^{-6}\text{Torr}$ 程度の真空中にて、電極に直流電圧を印加し通電処理を行ったところ、消費電力1W程度で薄膜部分に高抵抗部が形成され、電子放出素子を作製した。

この際、基板の割れや薄膜の基板からの剥離はなかった。

上記のようにして得た素子を $10^{-6}\text{Torr}$ 代の真空中に置き、電極の間に直流電圧 $V_f = 20\text{V}$ を印加し、上部電極板（図示せず）を高抵抗部の上部へ7mmの間隔で平行に対面させ、電極のマイナス側との間に直流電圧100Vを印加した。すると上部電極へ $1\mu\text{A}$ 程度の電子放出電流を得ることができた。

更に、本素子を上記条件で48時間連続して電子放出させてても、基板の割れや薄膜の剥離は発生しなかった。

#### [発明の効果]

このように、基板と薄膜との間に中間層を設けることにより、次のような効果が得られる。

（1）通電の際、基板が割れて、薄膜が切断されることなくなる。

（2）通電の際、基板から薄膜の剥離を防止し、電子放出装置として安定性、再現性、寿命が向上する。

（3）（1）、（2）より基板材料、薄膜材料の選択の組み合わせの自由度がひろがり、所望の特性を有する薄膜材料を安価でかつ大面積な基板材の上に形成すること

ができるようになる。

(4) 電子放出中の発熱による基板の割れ及び薄膜の剥離を防止できるという効果があり、電子放出装置の信頼性を向上させることができる。

その他、中間層を $\text{SiO}_2$ とすることによって、電気的絶縁性能等が優れ、また基板中に含まれる不純物の電子放出素子への混入を防止する基板を提供することができる。

また中間層をセラミックコーティング剤を用いた塗布、焼成による液体コーティング法によって形成することにより、より大面積の基板上にも安価で精度良く、均一な中間層を容易に得ることができる。

\* 以上から、従来石英基板を用いていた電子放出素子に比べ、性能の低下が無く、かつ、大面積の電子放出素子を安価で容易に得られる基板材料から作製できるようになった。

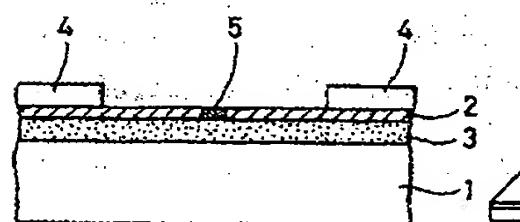
#### 【図面の簡単な説明】

第1図は本発明に係る電子放出素子の断面図、第2図は本発明に係る電子放出素子の斜視図、第3図は本発明に係る電子放出素子の製造工程図、第4図及び第5図は従来の電子放出素子の説明図である。

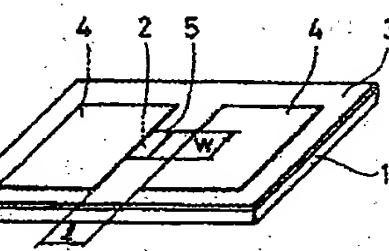
10 1…基板、2…薄膜、3…中間層、4…電極、5…高抵抗部。

\*

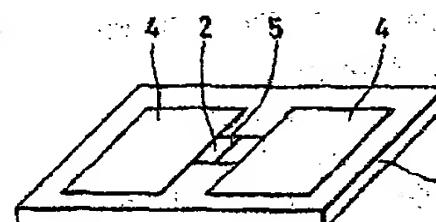
【第1図】



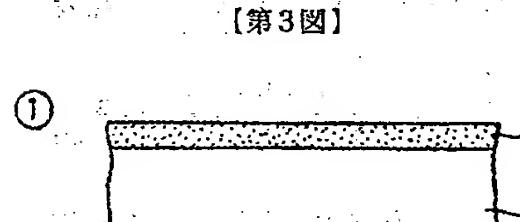
【第2図】



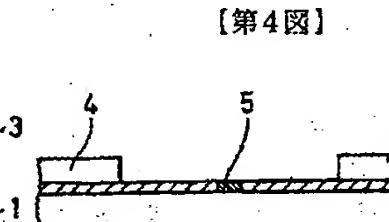
【第5図】



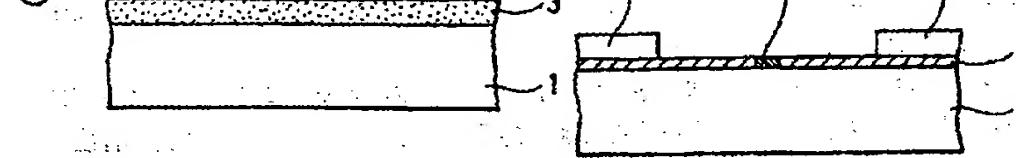
【第3図】



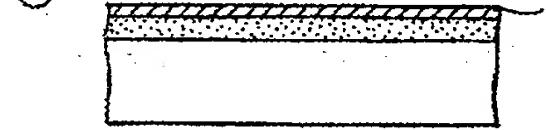
【第4図】



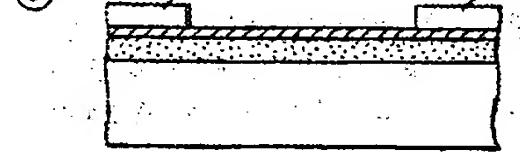
①



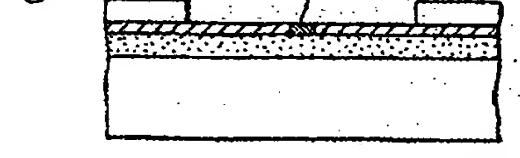
②



③



④



フロントページの続き

(72)発明者 武田 俊彦  
東京都大田区下丸子3丁目30番2号 キ  
ヤノン株式会社内

(56)参考文献 実公・昭44-24419 (JP; Y1)

